

출력 일자: 2003/8/1

발송번호 : 9-5-2003-029107503

발송일자 : 2003.07.30

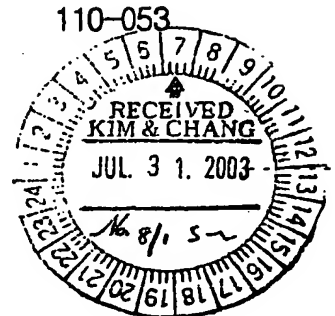
제출기일 : 2003.09.30

수신 : 서울 종로구 내자동 219 한누리빌딩(김&amp;

장 특허법률사무소)

장수길 귀하

## 특허청 의견제출통지서



출원인                   명칭 가부시끼가이샤 도시바 (출원인코드: 519980849672)  
                           주소 일본국 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고  
 대리인                성명 장수길 외 1명  
                           주소 서울 종로구 내자동 219 한누리빌딩(김&장 특허법률사무소)  
 출원번호               10-2001-0057942  
 발명의 명칭           반도체 기억 장치 및 그 제조 방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인 통지는 하지 않습니다.)

### [이유]

이 출원의 특허청구범위 제1-22항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

### [아래]

1. 청구항 제1-20항의 제1 상부 전극과 제2 상부 전극을 구비한 반도체 기억장치는 인용발명1(한국 공개특허공보 1999-30957호(1999.05.06))의 커패시터의 하부 전극이 인접 단위 셀과 공유되어 있으며, 제1 상부 전극과 제2 상부 전극을 갖는 반도체장치 및 인용발명2(미국특허공보 5789775호(1998.08.04))의 반도체층이 강유전체층 상에 도포되고 두 개의 전극이 소스와 드레인층에 부합되는 것을 특징으로 하는 이중 워드 강유전체 메모리 셀을 포함하는 메모리장치 등에서 용이하게 발명할 수 있는 것입니다. (특허법 제29조제2항)
2. 청구항 제21-22항의 제1 상부 전극과 제2 상부 전극을 형성하는 공정을 갖는 반도체 기억장치 제조방법은 인용발명1의 제1 상부 전극과 제2 상부 전극을 형성하는 공정을 갖는 반도체장치 제조방법 및 인용발명2의 반도체층이 강유전체층 상에 도포되고 두 개의 전극을 형성하는 공정을 갖는 강유전체 메모리장치 제조방법 등에서 용이하게 발명할 수 있는 것입니다. (특허법 제29조제2항)

### [참 부]

첨부 1 한국공개특허공보 1999-30957호(1999.05.06) 1부

첨부 2 미국특허공보 5789775호 끝.

2003.07.30

특허청

심사4국

반도체2심사담당관실

심사관 김근모



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup> (11) 공개번호 특 1999-0030957  
H01L 27/108 (43) 공개일자 1999년 05월 06일

(21) 출원번호 10-1997-0051449  
(22) 출원일자 1997년 10월 07일  
(71) 출원인 삼성전자 주식회사 윤종용  
경기도 수원시 팔달구 매탄3동 416  
(72) 발명자 황유상  
경기도 용인시 수지읍 풍덕천리 664 삼익아파트 103-903호  
이미향  
서울특별시 양천구 신월1동 135-4  
이진우  
경기도 수원시 권선구 세류동 546-19 그림빌라 나동 101호  
(74) 대리인 권석홍, 노민식, 이영필

심사청구 : 있음

(54) 강유전체 램 장치 및 그 제조방법

요약

본 발명은 행 및 열 방향으로 배열된 복수의 단위 셀들로 구성되고 상기 행 방향은 워드라인에 대응하고 상기 열 방향은 비트라인에 대응하는 FRAM 장치에 있어서, 상기 단위 셀은 상기 비트라인에 연결된 드레인 영역과 상기 워드라인에 연결된 게이트 전극을 포함하는 트랜지스터와, 상기 트랜지스터의 소오스 영역에 연결되고 상부 플레이트 전극, 강유전체막 및 하부 플레이트 전극으로 구성된 강유전체 커패시터로 구성되며, 상기 단위 셀의 하부 플레이트 전극은 인접한 단위셀의 하부 플레이트 전극과 공유되며 상기 단위 셀 및 인접한 단위 셀의 하부 플레이트 전극은 열방향의 플레이트 라인으로 연결된다. 본 발명의 FRAM 장치는 강유전체 커패시터의 하부 플레이트 전극이 인접한 셀과 공유되어 있고 이를 플레이트 라인으로 연결하기 때문에 집적화에 유리하다.

도면

도 3

발명

도면의 간단한 설명

도 1은 종래 기술에 의한 FRAM 장치의 단위 셀에 대한 회로도이다.  
도 2는 종래 기술에 의한 FRAM 장치의 단위 셀에 대한 단면도이다.  
도 3은 본 발명에 의한 FRAM 장치의 회로도이다.  
도 4는 본 발명의 일 예에 의한 FRAM 장치의 레이아웃도이다.  
도 5는 도 4의 V-V에 따른 FRAM 장치의 단면도이다.  
도 6은 본 발명의 다른 예에 의한 FRAM 장치의 레이아웃도이다.  
도 7은 도 6의 VII-VII에 따른 FRAM 장치의 단면도이다.  
도 8 내지 도 13은 도 5에 도시한 본 발명에 의한 FRAM 장치의 제조방법을 설명하기 위하여 도시한 단면도들이다.  
도 14는 도 7에 도시한 본 발명에 의한 FRAM 장치의 제조방법을 설명하기 위하여 도시한 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 특히 집적화에 유리한 강유전체

RAM(ferroelectric RAM; FRAM) 장치 및 그 제조 방법에 관한 것이다.

최근 박막 형성 기술의 진보에 의하여 강유전체막을 사용하는 강유전체 메모리 장치에 대한 연구가 활발해지고 있다. 강유전체 메모리 장치는 강유전 물질의 자발 분극 현상(Spontaneous Polarization Phenomenon)을 이용하는 것으로서, EPROM 또는 EEPROM에 비하여 읽기(read)/쓰기(write) 동작이 빠른 장점을 가지고 있다.

또한, DRAM에 사용되는 셀 커패시터의 유전막으로 강유전체막을 사용하면, 리프레쉬 동작이 요구되지 않으므로 DRAM의 전력 소모 및 동작 속도를 향상시킬 수 있다. 이러한 강유전체 메모리 장치는 RAM과 같이 단일 전원 전압(single power supply voltage)으로 읽기 동작 및 쓰기 동작을 수행할 수 있으므로, 강유전체 RAM(ferroelectric RAM; FRAM) 장치라 불린다.

한편, FRAM 장치는 단위 셀(unit cell)의 구성 요소에 따라 두 가지로 분류할 수 있다. 그 하나는 단위 셀이 강유전체막을 게이트 절연막으로 사용하는 하나의 트랜지스터로 구성된 것이고, 다른 하나는 단위 셀이 하나의 액세스 트랜지스터 및 강유전체막을 유전막으로 사용하는 하나의 셀 커패시터로 구성된 것이다. 여기서, 전자의(the former) FRAM 장치는 채널 영역인 실리콘 기판과 게이트 절연막인 강유전체막 사이의 계면에 실리콘 기판과 산소 원자가 반응하여 성장된 실리콘산화막이 형성되기 쉬운 문제점과, 실리콘 기판 및 강유전체막 사이의 격자상수(lattice constant) 차이 또는 열팽창계수 차이에 의하여 우수한 막질의 강유전체막(high-quality ferroelectric film)을 형성하기 어려운 문제점이 있다. 따라서, 최근에 후자의 FRAM 장치, 즉 DRAM 셀 구조와 동일한 구조를 가지면서 셀 커패시터의 유전막으로 강유전체막을 사용하는 FRAM 장치에 대한 연구가 활발해지고 있다.

도 1은 종래 기술에 의한 FRAM 장치의 단위 셀에 대한 회로도이다.

구체적으로, FRAM 장치의 단위 셀에 있어서 트랜지스터의 게이트 전극(6)은 워드 라인(W/L)에 연결되고, 드레인 영역(D)은 비트 라인(B/L)에 연결되고, 소스 영역(S)은 강유전체 커패시터(C)의 한 전극에 연결된다. 강유전체 커패시터(C)의 다른 전극은 플레이트 라인(P/L)에 연결된다.

도 2는 종래 기술에 의한 FRAM 장치의 단위 셀에 대한 단면도이다.

구체적으로, 도 2에 나타난 바와 같이, 종래의 FRAM 장치의 단위 셀은 P형 반도체 기판(1)의 소정 영역에 형성되어 활성 영역 및 비활성 영역을 한정하는 필드 산화막(3)과, 상기 활성 영역의 소정 영역 상부에 게이트 산화막(5)에 의해 이격되어 형성된 게이트 전극(7)과, 상기 게이트 전극(7) 양 옆의 활성 영역 표면에 N형의 불순물로 도핑된 소오스 영역(9) 및 드레인 영역(11)과, 상기 소오스 영역(14)의 소정 영역 및 상기 드레인 영역(11)의 소정 영역을 노출시키고 상기 게이트 전극(7) 및 상기 필드 산화막(3)을 덮는 제1 층간 절연막(13)과, 상기 소오스 영역(9)과 인접한 필드 산화막(6) 상에 형성된 제1 층간 절연막(13)의 소정 영역 상에 형성된 백금(Pt)으로 이루어진 하부 플레이트 전극(15)과, 상기 하부 플레이트 전극(15) 상에 형성된 PZT(PbZr<sub>0.9</sub>Ti<sub>0.1</sub>O<sub>3</sub>)로 이루어진 강유전체막(17)과, 상기 강유전체막(17)의 소정 영역을 노출시키면서 제1 층간 절연막(13) 상에 형성된 제2 층간 절연막(19)과, 상기 제1 층간 절연막(13) 및 제2 층간 절연막(19)에 의해 노출된 소오스 영역(9)과 상기 제2 층간 절연막(19)에 의해 노출된 강유전체막(17)을 서로 연결시키는 금속 배선으로 이루어진 상부 플레이트 전극(21)과, 상기 노출된 드레인 영역(11)을 덮는 비트 라인(23)을 구비한다. 여기서, 상기 제1 및 제2 층간 절연막(13, 19)으로 BPSG막이 널리 사용된다. 그리고, 상기 게이트 전극(7), 드레인 영역(11), 및 소오스 영역(19)은 액세스 트랜지스터를 구성하고, 상기 하부 플레이트 전극(15), 강유전체막(17), 및 상부 플레이트 전극(21)은 커패시터(C)를 구성한다. 한편, 상기 하부 전극(15)은 도 1의 플레이트 라인(P/L) 역할을 하고, 상기 게이트 전극(7)은 도 1의 워드 라인(W/L) 역할을 한다.

상술한 바와 같은 종래의 FRAM 장치는 단위 셀 당 하나의 플레이트 라인(P/L)을 구비하고 있기 때문에 집적화에 불리한 단점이 있다.

#### 본 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 기술적 과제는 상술한 단점을 해결할 수 있는 FRAM 장치를 제공하는데 있다.

또한, 본 발명의 다른 기술적 과제는 상기 FRAM 장치를 제조하는데 적합한 제조방법을 제공하는데 있다.

#### 본 발명의 구성 및 작용

상기 기술적 과제를 이루기 위하여 본 발명의 FRAM 장치는 행 및 열 방향으로 배열된 복수의 단위 셀들로 구성되고 상기 행 방향은 워드라인에 대응하고 상기 열 방향은 비트라인에 대응한다. 상기 단위 셀은 상기 비트라인에 연결된 드레인 영역과 상기 워드라인에 연결된 게이트 전극을 포함하는 트랜지스터와, 상기 트랜지스터의 소오스 영역에 연결되고 상부 플레이트 전극, 강유전체막 및 하부 플레이트 전극으로 구성된 강유전체 커패시터로 구성된다.

특히, 상기 단위 셀의 하부 플레이트 전극은 인접한 단위셀의 하부 플레이트 전극과 공유되며, 상기 단위 셀 및 인접한 단위 셀의 하부 플레이트 전극은 열방향의 플레이트 라인으로 연결하거나 상기 하부 플레이트 전극 자체를 플레이트 라인으로 이용한다.

또한, 본 발명의 FRAM 장치는 하나의 트랜지스터와 하나의 강유전체 커패시터로 구성된 단위 셀과 상기 단위 셀과 구성이 동일하고 인접한 제2의 단위 셀이 열 및 행방향으로 복수개 배열된다. 상기 단위 셀은 반도체 기판의 활성영역 상에 형성되고 게이트 전극, 소오스 영역 및 드레인 영역으로 구성된 트랜지스터와, 상기 트랜지스터가 형성된 반도체 기판의 전면에 형성된 제1 층간절연막을 포함한다. 그리고, 상기 제1 층간절연막 상에 형성되고 단위셀과 인접한 제2의 단위 셀이 공유하는 강유전체 커패시터의 하부 플레이트 전극과, 상기 하부 플레이트 전극 상에 상기 하부 플레이트 전극의 폭보다 작게 형성된 강유전체막 패턴과, 상기 강유전체막 패턴 상에 형성된 강유전체 커패시터의 상부 플레이트 전극을 포함한다. 그

리고, 상기 상부 플레이트 전극, 강유전체막 패턴 및 하부 플레이트 전극을 덮는 캡핑층과, 상기 소오스 영역과 상부 플레이트 전극을 연결하는 배선층을 포함한다. 상기 하부 플레이트 전극은 플레이트 라인과 연결되거나 하부 플레이트 전극 자체로 플레이트 라인 역할을 하게 한다.

상기 다른 기술적 과제를 달성하기 위하여, 본 발명의 FRAM 장치의 제조방법은 반도체 기판 상에 게이트 전극, 소오스 및 드레인 영역으로 구성된 트랜지스터를 형성하는 단계와, 상기 트랜지스터가 형성된 반도체 기판의 전면에 제1 층간절연막을 형성하는 단계를 포함한다. 그리고 상기 제1 층간절연막 상에 인접한 단위 셀과 공유하는 강유전체 커패시터의 하부 플레이트 전극을 형성한 후 상기 하부 플레이트 전극 상에 상기 하부 플레이트 전극의 폭보다 작은 강유전체막 패턴 및 상부 플레이트 전극을 형성한다. 상기 상부 플레이트 전극, 강유전체막 패턴 및 하부 플레이트 전극을 덮는 캡핑층을 형성한다. 상기 캡핑층이 형성된 결과를 전면에 제2 층간절연막을 형성한다. 상기 제2 층간절연막, 제1 층간절연막 및 캡핑층을 식각하여 드레인 영역, 소오스 영역, 상부 플레이트 전극 및 하부 플레이트 전극을 오픈하는 제1 콘택홀을 형성한다. 상기 제1 콘택홀에 금속막을 형성하여 상기 드레인 영역과 연결된 비트라인과 상기 상부 플레이트 전극들과 소오스 영역들을 연결하는 배선층과, 상기 하부 플레이트 전극과 연결된 금속 패드를 형성한다. 상기 금속 패드를 오픈하는 제2 콘택홀을 갖는 제3 층간절연막을 형성한다. 상기 제2 콘택홀에 금속막을 형성하여 상기 금속 패드와 연결되는 플레이트 라인을 형성한다.

본 발명의 FRAM 장치는 강유전체 커패시터의 하부 플레이트 전극이 인접한 셀과 공유되어 있고 이를 플레이트 라인으로 연결하거나, 상기 상부 플레이트 전극 자체를 플레이트 라인으로 이용하기 때문에 집적화에 유리하다.

이하, 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 상세히 설명한다.

도 3은 본 발명에 의한 FRAM 장치의 회로도이다.

도 3을 참조하면, 본 발명의 FRAM 장치는 절단선으로 표시된 바와 같이 하나의 강유전체 커패시터와 하나의 트랜지스터로 구성된 복수개의 단위 셀들(31a, 31b)이 행 및 열 방향으로 연결되어 구성된다. 구체적으로, 단위 셀에 있어서 상기 강유전체 커패시터의 상부 플레이트 전극은 트랜지스터의 소오스에 연결되며, 상기 트랜지스터의 게이트 전극은 워드라인(W/L1, W/L2, W/L3, W/L4)에 연결되며, 상기 트랜지스터의 드레인 영역은 비트라인(B/L1, B/L2)에 연결된다.

특히, 본 발명의 FRAM 장치는 하나의 단위 셀(31a)과 인접한 단위 셀(31b)의 하부 플레이트 전극이 공유되어 있고 플레이트 라인(P/L)으로 연결되어 있다. 도 3에 있어서, 상기 공유된 하부 플레이트 전극이 플레이트 라인으로 연결되어 있으나, 상기 공유된 하부 플레이트 전극이 플레이트 라인 역할을 하게 할 수도 있다. 이로써 본 발명의 FRAM 장치는 종래의 강유전체 FRAM 장치에 비하여 고집적화를 이루는데 유리하다.

도 4는 본 발명의 일 예에 의한 FRAM 장치의 레이아웃도이다.

도 4를 참조하면, 본 발명의 FRAM 장치는 반도체 기판에 비활성영역을 한정함으로써 형성되는 활성영역(41)과, 상기 활성 영역(41)을 가로지르면서 서로 평행하게 배치된 한 쌍의 워드 라인(W/L)과, 상기 한 쌍의 워드 라인(W/L)에 의해 분할된 3개의 활성 영역중 한 쌍의 워드 라인(W/L) 사이의 활성 영역에 형성된 드레인 영역과, 상기 드레인 영역과 이웃한 활성 영역에 형성된 한쌍의 소오스 영역과, 상기 드레인 영역과 연결되고 상기 워드 라인(W/L)과 직교하는 방향으로 배치된 비트 라인(B/L)을 포함한다. 여기서, 상기 워드 라인(W/L)은 게이트 전극 역할을 하며, 상기 드레인 영역 및 소오스 영역은 불순물로 도핑된다. 그리고, 워드 라인(W/L), 한쌍의 소오스 영역, 및 상기 드레인 영역은 직렬로 연결된 두 개의 트랜지스터를 구성하며, 상기 두 개의 트랜지스터는 상기 드레인 영역을 공유한다.

계속해서, 본 발명의 FRAM 장치는 소오스 영역과 인접한 비활성 영역 상에 형성된 하부 플레이트 전극(43a)과, 상기 하부 플레이트 전극(43a) 상에 형성된 강유전체막(도시 안됨)과, 상기 강유전체막 상에 형성되고 상기 소오스 영역과 배선층(44)으로 연결되는 상부 플레이트 전극(45)으로 구성된 강유전체 커패시터를 포함한다.

특히, 도 3에 도시한 본 발명의 강유전체 메모리 장치는 절단선으로 표시한 바와 같이 강유전체 커패시터와 트랜지스터로 구성된 하나의 단위 셀(47a)과 인접한 단위 셀(47b)의 하부 플레이트 전극(44)이 공유되어 있고, 상기 하부 플레이트 전극(44)은 플레이트 라인(P/L)으로 연결되어 있다. 이로써 본 발명의 FRAM 장치는 종래의 강유전체 FRAM 장치에 비하여 고집적화를 이루는데 유리하다.

도 5는 도 4의 V-V'에 따른 FRAM 장치의 단면도이다.

도 5를 참조하면, 본 발명의 FRAM 장치는 P형 반도체 기판(51)에 소자 분리막(53)을 형성함으로써 한정된 활성 영역 상에 형성된 게이트 전극(55)과, 상기 게이트 전극과 인접한 반도체 기판에 N형의 불순물을 도핑시켜서 형성된 소오스 영역(57a) 및 드레인 영역(57b)을 포함한다. 여기서, 상기 게이트 전극(55)은 워드 라인 역할을 하며, 상기 소오스 영역(57a), 드레인 영역(57b) 및 게이트 전극(55)으로 트랜지스터를 구성한다.

계속해서, 본 발명에 따른 FRAM 장치는 트랜지스터 및 상기 소자 분리막(53) 상에 상기 드레인 영역(57b)의 소정 영역 및 상기 소오스 영역(57a)의 소정 영역이 노출되도록 형성된 제1 층간절연막(59)과, 상기 소오스 영역(57a)과 인접한 제1 층간절연막(59)의 소정 영역 상에 후에 형성되는 하부 플레이트 전극과 접촉력 향상을 위해 형성된 배리어막 패턴(61a)과, 상기 배리어막 패턴(61a) 상에 형성된 하부 플레이트 전극(63a)과, 상기 하부 플레이트 전극(63a) 상에 상기 배리어막 패턴(61a) 및 하부 플레이트 전극(63a)의 폭보다 작게 형성된 강유전체막 패턴(65a) 및 상부 플레이트 전극(67a)을 포함한다.

여기서, 상기 하부 플레이트 전극(63a), 강유전체막 패턴(65a), 및 상부 플레이트 전극(67a)은 강유전체 커패시터를 구성한다. 상기 상부 플레이트 전극(67a) 및 하부 플레이트 전극(63a)은 금속막, 도전성 산화막 또는 금속막-도전성 산화막-금속막의 다층으로 구성할 수 있다. 상기 금속막은 백금(Pt)로 구성하

며, 상기 도전성 산화막은  $\text{ReO}_x$ (rhenium oxide),  $\text{RuO}_x$ (ruthenium oxide) 또는  $\text{MoO}_x$ (molybdenum oxide)로 구성한다.

계속하여, 본 발명에 따른 FRAM 장치는 상기 배리어막 패턴(61a), 하부 플레이트 전극(63a), 강유전체막 패턴(65a) 및 상부 플레이트 전극(67a)을 덮으면서 상기 상부 플레이트 전극(67a) 및 하부 플레이트 전극(63a)의 소정영역을 노출하는 캡핑막(69)과, 상기 캡핑막(69) 및 제1 충전절연막(59) 상에 상기 소오스 영역(57a), 드레인 영역(57b), 하부 플레이트 전극(63a) 및 상부 플레이트 전극(67a)의 소정영역을 노출하는 제2 충전절연막(71)과, 상기 노출된 소오스 영역(57a) 및 상부 플레이트 전극(67a)에 형성되어 상기 소오스 영역(57a)과 상기 상부 플레이트 전극(67a)을 접속하는 배선층(73)과, 상기 노출된 하부 플레이트 전극(63a)에 형성된 금속 패드(75)와, 상기 노출된 드레인 영역(57b)에 접속하는 비트라인(77)과, 상기 배선층(73), 비트라인(77) 및 금속 패드(75) 상에 형성되고 상기 금속 패드(75)를 노출하는 제3 충전절연막(79)과, 상기 노출된 금속 패드(75)에 형성되어 상기 하부 플레이트 전극(63a)과 연결되는 플레이트 라인(81)을 포함한다.

따라서, 본 발명의 FRAM 장치는 도 4에서 설명한 바와 같이 강유전체 커패시터의 하부 플레이트 전극(63a)이 인접한 셀과 공유되어 있다. 이에 따라, 본 발명의 FRAM 장치는 집적화에 유리하다.

도 6은 본 발명의 다른 예에 의한 FRAM 장치의 레이아웃도이다. 도 6에 있어서, 도 4와 동일한 참조번호는 동일한 부재를 나타낸다.

도 6을 참조하면, 도 6은 하부 플레이트 전극(43b)의 레이아웃이 다른 것을 제외하고는 도 4와 동일하다. 구체적으로, 도 4는 공유된 하부 플레이트 전극(43a)이 플레이트 라인(P/L)으로 연결되어 있는 데 반하여, 도 6은 공유된 하부 플레이트 전극(43b)이 플레이트 라인(P/L)으로 연결되어 있지 않고 자체적으로 연결되어 있어 플레이트 라인 역할을 한다.

도 7은 도 6의 VII-VII에 따른 FRAM 장치의 단면도이다. 도 7에 있어서, 도 5와 동일한 참조번호는 동일한 부재를 나타낸다.

도 7을 참조하면, 도 7은 하부 플레이트 전극 금속 패드 및 플레이트 라인이 다른 것을 제외하고는 도 5와 동일하다. 구체적으로, 도 5는 공유된 하부 플레이트 전극(63a)이 금속 패드(75)를 통하여 플레이트 라인(81)과 연결되어 있는 데 반하여, 도 7은 공유된 하부 플레이트 전극(63b)이 금속 패드를 통하여 플레이트 라인과 연결되어 있지 않고 자체적으로 연결되어 있어 플레이트 라인 역할을 한다.

결과적으로, 도 6 및 도 7에 도시한 본 발명의 FRAM 장치는 강유전체 커패시터의 하부 플레이트 전극이 인접한 단위 셀과 공유되어 있고, 하부 플레이트 전극 자체가 플레이트 라인 역할을 하므로 집적화에 더욱 유리하다.

도 8 내지 도 13은 도 5에 도시한 본 발명에 의한 FRAM 장치의 제조방법을 설명하기 위하여 도시한 단면도들이다.

도 8을 참조하면, 통상의 CMOS 형성 공정을 이용하여, 소자 분리막(53)에 의해 활성 영역과 비활성 영역이 한정된 반도체 기판(51)상에 워드라인 역할을 하는 게이트 전극(55)을 형성하고, N형 소오스 영역(57a) 및 드레인 영역(57b)을 형성한다.

이어서, 상기 결과물 전면에서 CVD(Chemical Vapor Deposition)에 의해 BPSG 등으로 이루어지는 산화막을 증착하고 리플로우하여 제1 충전절연막(59)을 형성한다. 그 후, 상기 제1 충전절연막(59)상에 배리어막(61), 강유전체 커패시터의 하부 플레이트 전극을 형성하기 위한 제1 도전층(63), 강유전체막(65) 및 강유전체 커패시터의 상부 플레이트 전극을 형성하기 위한 제2 도전층(67)을 순차적으로 형성한다.

상기 배리어막(61)은 후에 형성되는 상기 하부 플레이트 전극과 제1 충전절연막과의 접착력을 강화시키기 위해 형성하는 것으로서, 경우에 따라 생략 가능하다. 본 실시예에서, 상기 배리어막은  $\text{TiO}_x$ 막으로 형성한다.

또한, 상기 제1 도전층(63) 및 제2 도전층(67)은 금속막, 도전성 산화막 또는 금속-도전성 산화막-금속의 다층으로 형성한다. 본 실시예에서 상기 금속막은 Pt를 이용하고, 상기 도전성 산화막은  $\text{ReO}_x$ (rhenium oxide),  $\text{RuO}_x$ (ruthenium oxide) 또는  $\text{MoO}_x$ (molybdenum oxide)를 이용한다. 상기 제1 도전층(63) 및 제2 도전층(67)을 금속-도전성 산화막-금속의 다층으로 형성할 경우, 열처리시 산소 휘발에 따른 압축응력발생으로 금속, 즉 Pt의 열팽창을 억제할 수 있다. 이렇게 되면, 강유전체막에 스트레스를 발생시키지 않아 신뢰성있는 FRAM 장치를 제조할 수 있다.

또한, 본 실시예에서, 상기 강유전체막(65)은 졸-겔(Sol-gel)법, 스퍼터링법 또는 CVD법에 의해 증착된  $\text{PZT}(\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3)$ 막 또는  $\text{PLZT}(\text{La}$ 로 도핑된  $\text{PZT})$ 막으로 형성할 수 있다.

도 9를 참조하면, 상기 제2 도전층(67) 및 강유전체막(65)을 패터닝하여 상부 플레이트 전극(67a) 및 강유전체막 패턴(65a)을 형성한다. 이어서, 상기 제1 도전층(63)을 상기 상부 플레이트 전극(67a) 및 강유전체막 패턴(65a) 보다 폭을 크게 패터닝하여 하부 플레이트 전극(63a)을 형성한다. 이어서, 상기 배리어막(61)을 패터닝하여 상기 하부 플레이트 전극(63a)의 하부에 배리어막 패턴(61a)을 형성한다.

도 10을 참조하면, 상기 결과물 전면에서  $\text{TiO}_x$ 막과 같은 산화막을 형성한 후 패터닝하여 상기 상부 플레이트 전극(67a), 유전체막 패턴(65a), 하부 플레이트 전극(63a) 및 배리어막 패턴(61a)을 감싸는 캡핑막(69)을 형성한다. 계속하여, 상기 캡핑막(69)이 형성된 결과물 전면에서 CVD에 의해 BPSG 등으로 이루어지는 산화막을 증착하고 리플로우하여 제2 충전절연막(71)을 형성한다.

도 11을 참조하면, 상기 제2 충전절연막(71), 제1 충전절연막(59) 및 캡핑막(69)을 식각하여 상기 소오스 영역(57a), 드레인 영역(57b), 상부 플레이트 전극(67a) 및 하부 플레이트 전극(63a)을 노출하는 제1 콘택홀(72)을 형성한다.

도 12를 참조하면, 상기 제1 콘택홀(72)이 형성된 결과를 전면에 금속막을 형성한 후 패터닝하여 상기 드레인 영역(57b)에 접속하는 비트라인(77), 상기 소오스 영역(57a) 및 상부 플레이트 전극(67a)에 접속되고 상기 소오스 영역(57a)과 상부 플레이트 전극(67a)을 연결하는 배선층(73), 상기 하부 플레이트 전극(63a)에 접속하는 금속 패드(75)를 형성한다.

도 13을 참조하면, 상기 비트라인(77), 배선층(73) 및 금속 패드(75)가 형성된 결과를 전면에 상기 금속 패드(75)를 노출하는 제2 콘택홀(78)을 갖는 제3 층간절연막(79)을 형성한다. 상기 제3 층간절연막은 CVD에 의해 BPSG 등으로 이루어지는 산화막을 증착하고 리플로우하여 형성된다. 계속하여, 도 5에 도시한 바와 같이 상기 금속 패드(75)에 접속하는 플레이트 라인(81)을 형성함으로써 FRAM 장치를 완성한다.

본 실시예에서는 상기 금속 패드(75)에 플레이트 라인(81)을 형성하여 접속하였으나, 상기 금속 패드(75)를 형성하지 않고 바로 플레이트 라인으로 상기 하부 플레이트 전극(63a)과 연결할 수도 있다.

도 14는 도 7에 도시한 본 발명에 의한 FRAM 장치의 제조방법을 설명하기 위하여 도시한 단면도이다. 도 14에서, 도 8 내지 도 13과 동일한 참조번호는 동일한 부재를 나타낸다.

먼저, 도 8 내지 도 10의 단계를 수행한다. 다음에, 도 14에 도시한 바와 같이 상기 제2 층간절연막(71), 제1 층간절연막(59) 및 캡핑막(69)을 식각하여 상기 소오스 영역(57a), 드레인 영역(57b), 상부 플레이트 전극(67a)을 노출하는 제1 콘택홀(92)을 형성한다.

계속하여, 도 7에 도시한 바와 같이 상기 제1 콘택홀(92)이 형성된 결과를 전면에 금속막을 형성한 후 패터닝하여 상기 드레인 영역(57b)에 접속하는 비트라인(77), 상기 소오스 영역(57a) 및 상부 플레이트 전극(67a)에 접속되고 상기 소오스 영역(57a)과 상부 플레이트 전극(67a)을 연결하는 배선층(73)을 형성함으로써 FRAM 장치를 완성한다. 여기서, 상기 하부 플레이트 전극(63b) 자체가 플레이트 라인 역할을 한다.

이상, 본 발명을 구체적인 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

#### 발명의 효과

상술한 바와 같이 본 발명의 FRAM 장치는 강유전체 커패시터의 하부 플레이트 전극이 인접한 셀과 공유되어 있고 이를 플레이트 라인으로 연결하거나, 상기 하부 플레이트 전극 자체가 플레이트 라인으로 이용하기 때문에 집적화에 유리하다.

#### (57) 청구의 범위

**청구항 1.** 행 및 열 방향으로 배열된 복수의 단위 셀들로 구성되고 상기 행 방향은 워드라인에 대응하고 상기 열 방향은 비트라인에 대응하는 FRAM 장치에 있어서,

상기 단위 셀은 상기 비트라인에 연결된 드레인 영역과 상기 워드라인에 연결된 게이트 전극을 포함하는 트랜지스터와, 상기 트랜지스터의 소오스 영역에 연결되고 상부 플레이트 전극, 강유전체막 및 하부 플레이트 전극으로 구성된 강유전체 커패시터로 구성되며,

상기 단위 셀의 하부 플레이트 전극은 인접한 단위셀의 하부 플레이트 전극과 공유되며 상기 단위 셀 및 인접한 단위 셀의 하부 플레이트 전극은 열방향의 플레이트 라인으로 연결되는 것을 특징으로 하는 FRAM 장치.

**청구항 2.** 행 및 열 방향으로 배열된 복수의 단위 셀들로 구성되고 상기 행 방향은 워드라인에 대응하고 상기 열 방향은 비트라인에 대응하는 FRAM 장치에 있어서,

상기 단위 셀은 상기 비트라인에 연결된 드레인 영역과 상기 워드라인에 연결된 게이트 전극을 포함하는 트랜지스터와, 상기 트랜지스터의 소오스 영역에 연결되고 상부 플레이트 전극, 강유전체막 및 하부 플레이트 전극으로 구성된 강유전체 커패시터로 구성되며,

상기 단위 셀의 하부 플레이트 전극은 인접한 단위셀의 하부 플레이트 전극과 공유되며 상기 단위 셀 및 인접한 단위 셀의 하부 플레이트 전극은 플레이트 라인 역할을 하는 것을 특징으로 하는 FRAM 장치.

**청구항 3.** 하나의 트랜지스터와 하나의 강유전체 커패시터로 구성된 단위 셀과 상기 단위 셀과 구성이 동일하고 인접한 제2의 단위 셀이 열 및 행방향으로 복수개 배열된 FRAM 장치에 있어서, 상기 단위 셀은

반도체 기판의 활성영역 상에 형성되고 게이트 전극, 소오스 영역 및 드레인 영역으로 구성된 트랜지스터;

상기 트랜지스터가 형성된 반도체 기판의 전면에 형성된 제1 층간절연막;

상기 제1 층간절연막 상에 형성되고 단위셀과 인접한 제2의 단위 셀이 공유하고 플레이트 라인과 연결된 강유전체 커패시터의 하부 플레이트 전극;

상기 하부 플레이트 전극 상에 상기 하부 플레이트 전극의 폭보다 작게 형성된 강유전체막 패턴;

상기 강유전체막 패턴 상에 형성된 강유전체 커패시터의 상부 플레이트 전극;

상기 상부 플레이트 전극, 강유전체막 패턴 및 하부 플레이트 전극을 덮는 캡핑층; 및

상기 소오스 영역과 상부 플레이트 전극을 연결하는 배선층을 포함하며 이루어지는 것을 특징으로 하는

FRAM 장치.

청구항 4. 제3항에 있어서, 상기 드레인 영역은 비트라인과 연결되는 것을 특징으로 하는 FRAM 장치.

청구항 5. 제3항에 있어서, 상기 플레이트 라인은 상기 하부 플레이트 전극 상에 형성된 금속 패드에 연결되는 것을 특징으로 하는 FRAM 장치.

청구항 6. 제3항에 있어서, 상기 상부 플레이트 전극 및 하부 플레이트 전극은 금속막, 도전성 산화막 또는 금속막-도전성 산화막-금속막의 다층으로 구성되는 것을 특징으로 하는 FRAM장치.

청구항 7. 제6항에 있어서, 상기 금속막은 백금(Pt)로 구성하며, 상기 도전성 산화막은  $\text{ReO}_3$  (rhenium oxide),  $\text{RuO}_3$  (ruthenium oxide) 또는  $\text{MoO}_3$  (molybdenum oxide)로 구성되는 것을 특징으로 하는 FRAM 장치.

청구항 8. 제3항에 있어서, 상기 하부 플레이트 전극의 하부에 배리어막 패턴이 더 형성되어 있는 것을 특징으로 하는 FRAM 장치.

청구항 9. 하나의 트랜지스터와 하나의 커패시터로 구성된 단위 셀과 상기 단위 셀과 구성이 동일하고 인접한 제2의 단위 셀이 행 및 열방향으로 복수개 배열된 FRAM 장치에 있어서, 상기 단위 셀은

반도체 기판의 활성영역 상에 형성되고 게이트 전극, 소오스 영역 및 드레인 영역으로 구성된 트랜지스터;

상기 트랜지스터가 형성된 반도체 기판의 전면에 형성된 제1 층간절연막;

상기 제1 층간절연막 상에 형성되고 단위셀과 인접한 제2의 단위 셀이 공유하고 플레이트 라인 역할을 하는 강유전체 커패시터의 하부 플레이트 전극;

상기 하부 플레이트 전극 상에 상기 하부 플레이트 전극의 폭보다 작게 형성된 강유전체막 패턴;

상기 강유전체막 패턴 상에 형성된 강유전체 커패시터의 상부 플레이트 전극;

상기 상부 플레이트 전극, 강유전체막 패턴 및 하부 플레이트 전극을 덮는 캡핑층; 및

상기 상부 플레이트 전극과 소오스 영역을 연결하는 배선층으로 이루어지는 것을 특징으로 하는 FRAM 장치.

청구항 10. 제9항에 있어서, 상기 상부 플레이트 전극 및 하부 플레이트 전극은 금속막, 도전성 산화막 또는 금속막-도전성 산화막-금속막의 다층으로 구성되는 것을 특징으로 하는 FRAM장치.

청구항 11. 제10항에 있어서, 상기 금속막은 백금(Pt)로 구성하며, 상기 도전성 산화막은  $\text{ReO}_3$  (rhenium oxide),  $\text{RuO}_3$  (ruthenium oxide) 또는  $\text{MoO}_3$  (molybdenum oxide)로 구성되는 것을 특징으로 하는 FRAM 장치.

청구항 12. 제9항에 있어서, 상기 하부 플레이트 전극의 하부에 배리어막 패턴이 더 형성되어 있는 것을 특징으로 하는 FRAM 장치.

청구항 13. 반도체 기판 상에 게이트 전극, 소오스 및 드레인 영역으로 구성된 트랜지스터를 형성하는 단계;

상기 트랜지스터가 형성된 반도체 기판의 전면에 제1 층간 절연막을 형성하는 단계;

상기 제1 층간절연막 상에 인접한 단위 셀과 공유하는 강유전체 커패시터의 하부 플레이트 전극을 형성하는 단계;

상기 하부 플레이트 전극 상에 상기 하부 플레이트 전극의 폭보다 작은 강유전체막 패턴 및 상부 플레이트 전극을 형성하는 단계;

상기 상부 플레이트 전극, 강유전체막 패턴 및 하부 플레이트 전극을 덮는 캡핑층을 형성하는 단계;

상기 캡핑층이 형성된 결과를 전면에 제2 층간절연막을 형성하는 단계;

상기 제2 층간절연막, 제1 층간절연막 및 캡핑층을 식각하여 드레인 영역, 소오스 영역, 상부 플레이트 전극 및 하부 플레이트 전극을 오픈하는 제1 콘택홀을 형성하는 단계;

상기 콘택홀에 금속막을 형성하여 상기 드레인 영역과 연결된 비트라인과 상기 상부 플레이트 전극들과 소오스 영역들을 연결하는 배선층과, 상기 하부 플레이트 전극과 연결된 금속 패드를 형성하는 단계;

상기 배선층 및 금속 패드가 형성된 결과를 전면에 상기 금속 패드를 노출하는 제2 콘택홀을 갖는 제3 층간절연막을 형성하는 단계; 및

상기 금속 패드와 연결되는 플레이트 라인을 형성하는 단계를 구비하여 이루어지는 것을 특징으로 하는 FRAM 장치의 제조방법.

청구항 14. 제13항에 있어서, 상기 상부 플레이트 전극 및 하부 플레이트 전극은 금속막, 도전성 산화막 또는 금속막-도전성 산화막-금속막의 다층으로 형성되는 것을 특징으로 하는 FRAM장치의 제조방법.

청구항 15. 제14항에 있어서, 상기 금속막은 백금(Pt)로 구성하며, 상기 도전성 산화막은  $\text{ReO}_3$  (rhenium oxide),  $\text{RuO}_3$  (ruthenium oxide) 또는  $\text{MoO}_3$  (molybdenum oxide)으로 형성하는 것을 특징으로 하는 FRAM 장치의 제조방법.

청구항 16. 제13항에 있어서, 상기 하부 플레이트 전극을 형성하기 전에 상기 하부 플레이트 전극의 하부에 배리어막 패턴을 더 형성하는 것을 특징으로 하는 FRAM 장치의 제조방법.

청구항 17. 반도체 기판 상에 게이트 전극, 소오스 및 드레인 영역으로 구성된 트랜지스터를 형성하는 단계;

상기 트랜지스터가 형성된 반도체 기판의 전면에 제1 층간 절연막을 형성하는 단계;

상기 제1 층간절연막 상에 인접한 단위 셀과 공유하고 플레이트 라인 역할을 하는 강유전체 커패시터의 하부 플레이트 전극을 형성하는 단계;

상기 하부 플레이트 전극 상에 상기 하부 플레이트 전극의 폭보다 작은 강유전체막 패턴 및 상부 플레이트 전극을 형성하는 단계;

상기 상부 플레이트 전극, 강유전체막 패턴 및 하부 플레이트 전극을 덮는 캡핑층을 형성하는 단계;

상기 캡핑층이 형성된 결과를 전면에 제2 층간절연막을 형성하는 단계;

상기 제2 층간절연막, 제1 층간절연막 및 캡핑층을 식각하여 드레인 영역, 소오스 영역 및 상부 플레이트 전극을 오픈하는 콘택홀을 형성하는 단계; 및

상기 콘택홀에 금속막을 형성하여 상기 드레인 영역과 연결된 비트라인과 상기 상부 플레이트 전극들과 소오스 영역들을 연결하는 배선층을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 FRAM 장치의 제조방법.

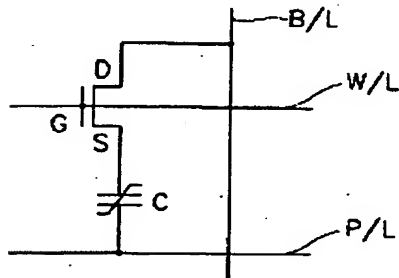
청구항 18. 제17항에 있어서, 상기 상부 플레이트 전극 및 하부 플레이트 전극은 금속막, 도전성 산화막 또는 금속막-도전성 산화막-금속막의 다층으로 형성되는 것을 특징으로 하는 FRAM 장치의 제조방법.

청구항 19. 제18항에 있어서, 상기 금속막은 백금(Pt)로 구성하며, 상기 도전성 산화막은  $\text{ReO}_3$  (rhenium oxide),  $\text{RuO}_3$  (ruthenium oxide) 또는  $\text{MoO}_3$  (molybdenum oxide)으로 형성하는 것을 특징으로 하는 FRAM 장치의 제조방법.

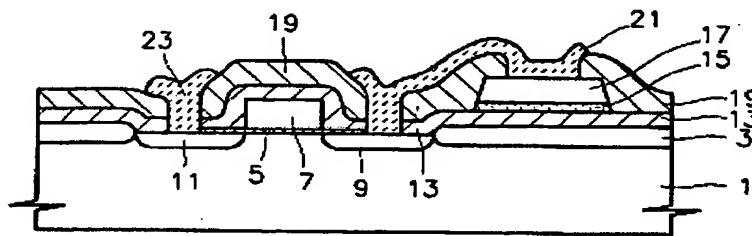
청구항 20. 제17항에 있어서, 상기 하부 플레이트 전극을 형성하기 전에 상기 하부 플레이트 전극의 하부에 배리어막 패턴을 더 형성하는 것을 특징으로 하는 FRAM 장치의 제조방법.

도면

도면1

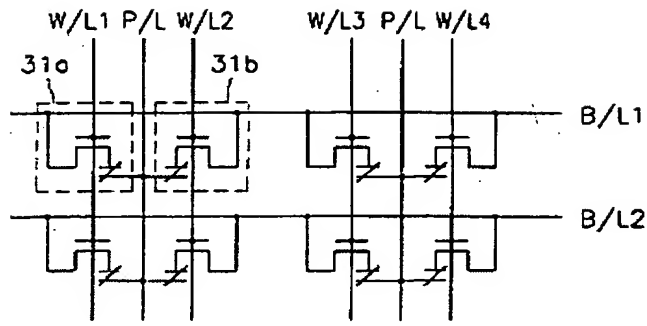


도면2

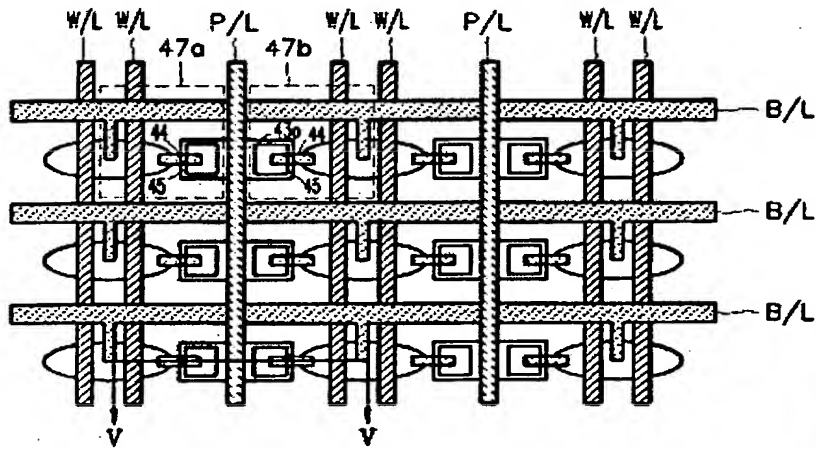




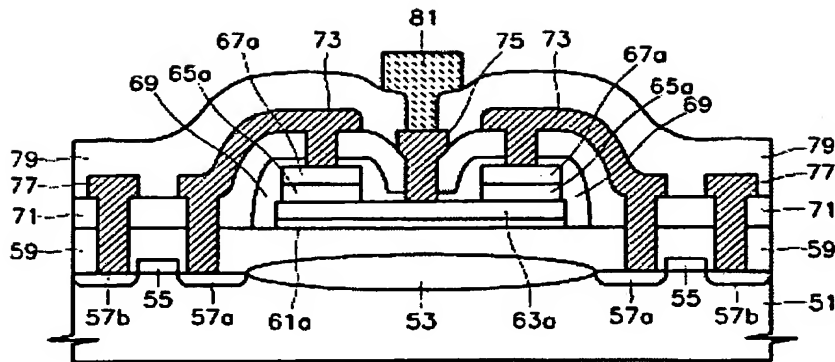
도면3



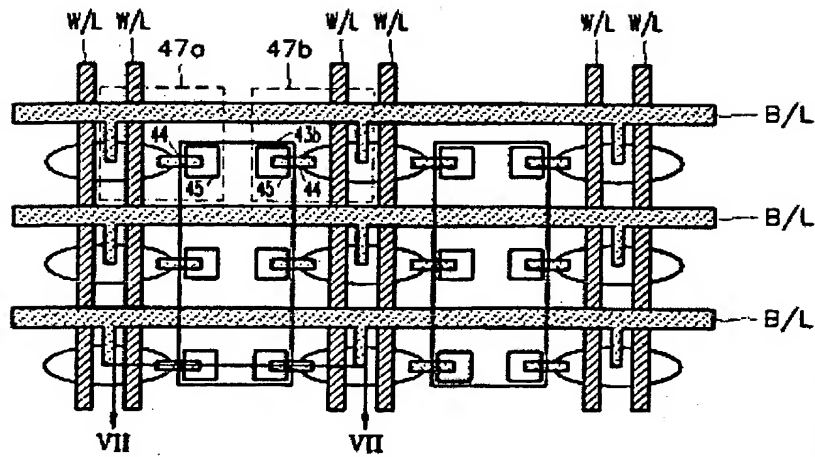
도면4



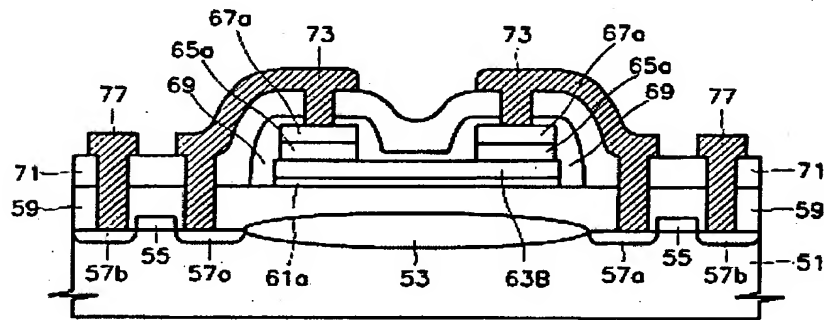
도면5



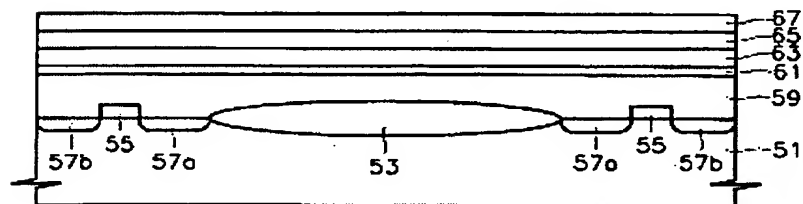
도면6



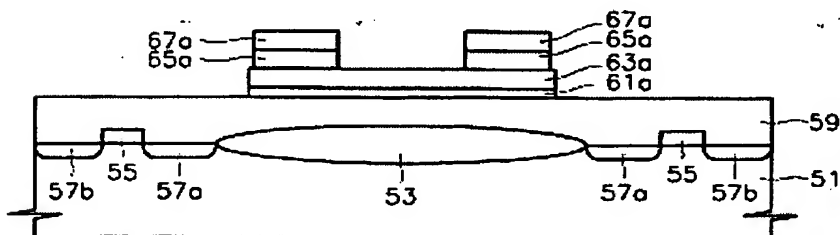
도면7



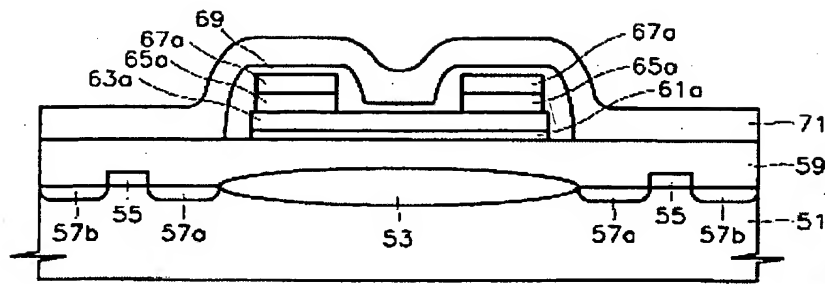
도면8



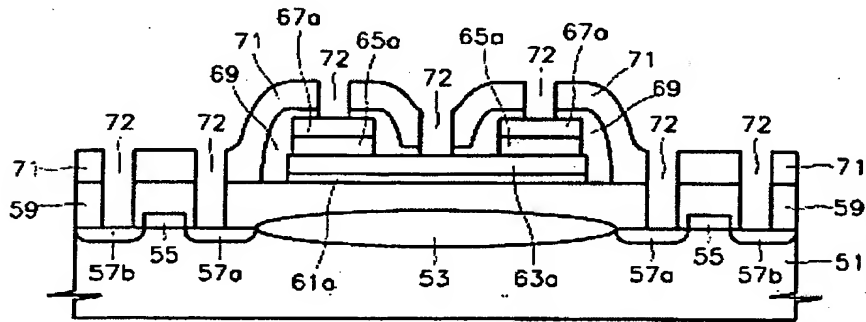
도면9



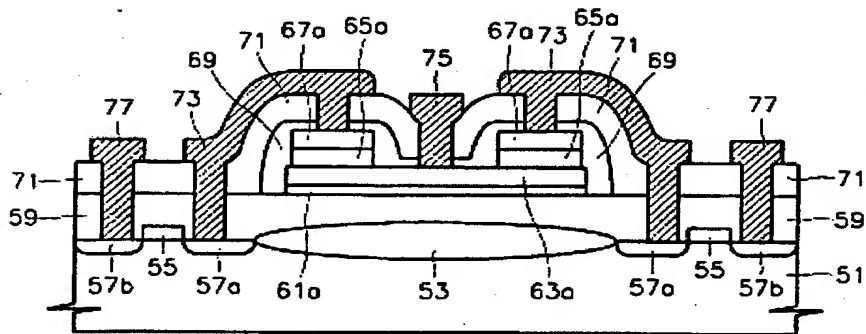
도면10



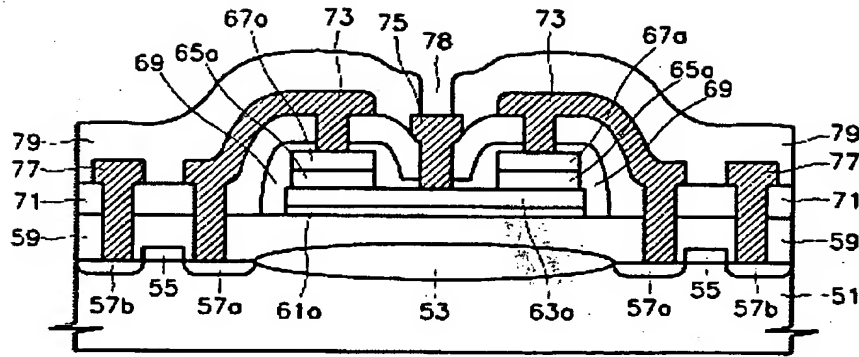
도면11



도면12



도면13



도면14

